



**PATENT APPLICATION**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Masaaki TOGASHI et al.

Application No.: 10/674,471

Filed: October 1, 2003

Docket No.: 117380

For: ELECTRONIC DEVICE AND INTERPOSER BOARD

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

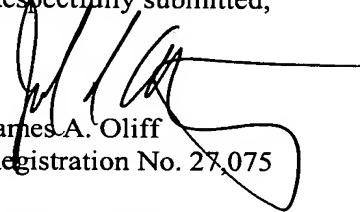
Japanese Patent Application No. 2002-294542 Filed October 8, 2002

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

  
James A. Oliff  
Registration No. 27,075

Joel S. Armstrong  
Registration No. 36,430

JAO:JSA/emt

Date: November 6, 2003

**OLIFF & BERRIDGE, PLC**  
**P.O. Box 19928**  
**Alexandria, Virginia 22320**  
**Telephone: (703) 836-6400**

**DEPOSIT ACCOUNT USE  
AUTHORIZATION**

Please grant any extension  
necessary for entry;  
Charge any fee due to our  
Deposit Account No. 15-0461

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

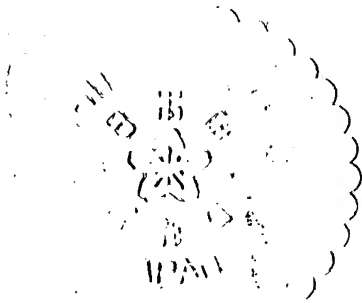
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 0 月    8 日  
Date of Application:

出 願 番 号            特 願 2 0 0 2 - 2 9 4 . 5 4 2  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 2 9 4 5 4 2 ]

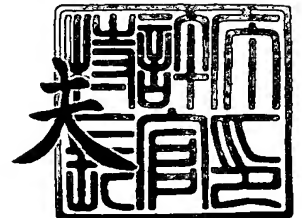
出    願    人            T D K 株 式 会 社  
Applicant(s):



2 0 0 3 年    9 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 P02025

【提出日】 平成14年10月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01G 4/12  
H01G 4/30

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 富樫 正明

【発明者】

【住所又は居所】 秋田県由利郡仁賀保町平沢字前田 1 5 1 ティーディーケイ エムシーシー株式会社内

【氏名】 安彦 泰介

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100101269

【弁理士】

【氏名又は名称】 飯塚 道夫

【電話番号】 03-5951-0615

【手数料の表示】

【予納台帳番号】 065766

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子部品

【特許請求の範囲】

【請求項 1】 一対の端子電極を有した素子と、

これら一対の端子電極がそれぞれ表面側に接続されると共にこれら一対の端子電極が接続された部分に繋がる一対の外部電極を裏面側に有したインターポージャー基板と、

を備え、

一対の端子電極間を繋ぐ直線の方角と一対の外部電極間を繋ぐ直線の方角とが交差する形にこれらが配置されることを特徴とする電子部品。

【請求項 2】 一対の端子電極がそれぞれ接続される一対のランドパターンをインターポージャー基板の表面側に設け、

これら一対のランドパターン間を繋ぐ直線の方角と一対の外部電極間を繋ぐ直線の方角とが交差する形にこれらが配置されることを特徴とする請求項 1 記載の電子部品。

【請求項 3】 素子の一対の端子電極とインターポージャー基板との間が、高温はんだ若しくは導電性接着剤によって接続されたことを特徴とする請求項 1 或いは請求項 2 に記載の電子部品。

【請求項 4】 インターポージャー基板の表裏面にそれぞれ導体パターンが設けられると共にソルダレジストが施されて、一対のランドパターン及び一対の外部電極がそれぞれこの表裏面に設けられ、

この表裏面に存在する導体パターン間を導通する導通電極が、インターポージャー基板に設けられることを特徴とする請求項 2 或いは請求項 3 に記載の電子部品。

【請求項 5】 導通電極が、インターポージャー基板を貫通するスルーホール電極とされることを特徴とする請求項 4 記載の電子部品。

【請求項 6】 インターポージャー基板の端部が切り欠かれ、この切り欠かれた部分に導通電極が配置されることを特徴とする請求項 4 記載の電子部品。

【請求項 7】 素子が複数とされ、これら複数の素子がインターポージャー基

板上にそれぞれ配置されることを特徴とする請求項 1 から請求項 4 の何れかに記載の電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、圧電及び電歪によって生じる振動の伝播を抑えて、雑音を減らした電子部品に係り、特にオーディオ回路などの雑音に敏感な回路に用いられる積層セラミックコンデンサに好適なものである。

【0002】

【従来技術】

【0003】

【特許文献 1】

特開 2000-235931 号公報

【特許文献 2】

特開平 9-246083 号公報

【特許文献 3】

特開平 8-55752 号公報

【特許文献 4】

特開 2000-232030 号公報

【特許文献 5】

特開 2000-223357 号公報

【特許文献 6】

特開 2000-182887 号公報

【0004】

近年の積層セラミックコンデンサの薄層化技術及び多層化技術の進展は目覚しく、アルミ電解コンデンサに匹敵する高静電容量を有したものが商品化されるようになった。このような積層セラミックコンデンサの積層体を形成するセラミックス材料として、誘電率の比較的高いチタン酸バリウムなどの強誘電体材料が一般的に用いられているが、この強誘電体材料は圧電性及び電歪性を有する為、こ

の強誘電体材料に電界が加わった際に応力及び機械的歪みが生じる。

#### 【0005】

そして、このような強誘電体材料を用いた積層セラミックコンデンサに交流電圧が加わった場合、交流電圧の周波数に同期して生じる応力及び機械的歪みが振動として現れるのに伴い、積層セラミックコンデンサの端子電極から基板側にこの振動が伝わるようになる。

#### 【0006】

例えば、図18に示す積層セラミックコンデンサ110は、積層体112内に二種類の内部電極を交互に配置すると共に積層体112の端部にこれら内部電極にそれぞれ繋がる端子電極114、116を配置した構造に一般的になっており、例えば図19及び図20に示すようにはんだ118によって配線パターン122に端子電極114、116を接続する形で、この積層セラミックコンデンサ110は基板120に実装されるようになる。

#### 【0007】

そして、上記のようにこの積層セラミックコンデンサ110に交流電圧が加わった場合には、積層セラミックコンデンサ110の本体部分を構成する積層体112に応力P等が発生するのに伴って振動が生じるようになり、この振動が端子電極114、116から基板120に伝わり、この基板120全体が音響放射面となって、雑音Nとなる振動音を発生するおそれを有していた。

#### 【0008】

##### 【発明が解決しようとする課題】

これに対して、このような振動音は、オーディオ回路などの雑音に敏感な回路を有した機器等の性能や品質に悪影響を与えることになる為、強誘電体材料が用いられた積層セラミックコンデンサのこれらの機器への使用は、一般に敬遠されていた。

本発明は上記事実を考慮し、圧電及び電歪によって生じる振動の伝播を抑えて、雑音の発生を減らし得る電子部品を提供することを目的とする。

#### 【0009】

##### 【課題を解決するための手段】

請求項 1 による電子部品は、一対の端子電極を有した素子と、

これら一対の端子電極がそれぞれ表面側に接続されると共にこれら一対の端子電極が接続された部分に繋がる一対の外部電極を裏面側に有したインターポザー基板と、

を備え、

一対の端子電極間を繋ぐ直線の方角と一対の外部電極間を繋ぐ直線の方角とが交差する形にこれらが配置されることを特徴とする。

#### 【 0 0 1 0 】

請求項 1 に係る電子部品は、一対の端子電極を有した素子及び、これら一対の端子電極がそれぞれ表面側に接続されるインターポザー基板を備えている。このインターポザー基板の裏面側には、これら一対の端子電極に接続された部分に繋がる一対の外部電極が有り、これら一対の端子電極間を繋ぐ直線の方角と一対の外部電極間を繋ぐ直線の方角とが交差する形に、これらが配置されている。そして、一対の外部電極が外部の基板の配線パターンに接続されることで、この電子部品が外部の基板に実装されるようになる。

#### 【 0 0 1 1 】

従って、本請求項も交流電圧が電子部品に加わるのに伴って、素子の圧電及び電歪によって振動が生じるようになる。但し本請求項では、素子の一対の端子電極間を繋ぐ直線の方角とインターポザー基板の一対の外部電極間を繋ぐ直線の方角とが交差する形に、これら一対の端子電極及び一対の外部電極が配置されたことで、音響放射面となる外部の基板へのこの振動の伝播が抑えられ、この基板からの雑音の発生が減少するようになった。

#### 【 0 0 1 2 】

つまり、本請求項は、素子にインターポザー基板を付加し、インターポザー基板を介して素子を外部の基板に接続するだけでなく、一対の端子電極が並ぶ向きと一対の外部電極が並ぶ向きとを交差させることで、素子の一対の端子電極から振動がインターポザー基板に伝わるものの、このインターポザー基板の一対の外部電極から外部の基板に伝わる振動を減らし、この基板からの雑音の発生が低減されるようになった。



**【 0 0 1 3 】**

請求項 2 に係る電子部品によれば、請求項 1 の電子部品と同様の構成の他に、一対の端子電極がそれぞれ接続される一対のランドパターンをインターポージャー基板の表面側に設け、これら一対のランドパターン間を繋ぐ直線の方角と一対の外部電極間を繋ぐ直線の方角とが交差する形にこれらが配置されるという構成を有している。

**【 0 0 1 4 】**

つまり、一対の端子電極がそれぞれ接続される一対のランドパターン間を繋ぐ直線の方角と、一対の外部電極間を繋ぐ直線の方角とを、交差する形にしたことで、請求項 1 の一対の端子電極間を繋ぐ直線の方角と一対の外部電極間を繋ぐ直線の方角とが交差する形に容易にでき、請求項 1 の作用効果をより確実に達成できるようにする。

**【 0 0 1 5 】**

請求項 3 に係る電子部品によれば、請求項 1 及び請求項 2 の電子部品と同様の構成の他に、素子の一対の端子電極とインターポージャー基板との間が、高温はんだ若しくは導電性接着剤によって接続されるという構成を有している。つまり、これら高温はんだ或いは導電性接着剤により一対の端子電極とインターポージャー基板との間が接続されることで、これらの間が導電性を確保しつつ機械的に接続されるようになった。この結果として、請求項 2 と同様に請求項 1 の作用効果をより確実に達成できるようになった。

**【 0 0 1 6 】**

請求項 4 に係る電子部品によれば、請求項 2 及び請求項 3 の電子部品と同様の構成の他に、インターポージャー基板の表裏面にそれぞれ導体パターンが設けられると共にソルダレジストが施されて、一対のランドパターン及び一対の外部電極がそれぞれこの表裏面に設けられ、この表裏面に存在する導体パターン間を導通する導通電極がインターポージャー基板に設けられるという構成を有している。

**【 0 0 1 7 】**

つまり、ソルダレジストが施されたこれら導体パターンがインターポージャー基板の表裏面にそれぞれ設けられ、導通電極がこれら表裏面の導体パターン間を互

いに導通させることで、一对のランドパターンと一对の外部電極との間がそれぞれ確実に電氣的に繋がるようになり、請求項1の作用効果をより確実に達成できるようにする。

#### 【0018】

請求項5に係る電子部品によれば、請求項4の電子部品と同様の構成の他に、導通電極が、インターポーザー基板を貫通するスルーホール電極とされるという構成を有している。つまり、インターポーザー基板を貫通する形で、スルーホール電極をインターポーザー基板に設けたことで、インターポーザー基板の剛性がスルーホール電極の存在により低下するので、このインターポーザー基板によってより一層振動を低減できるようになる。

#### 【0019】

請求項6に係る電子部品によれば、請求項4の電子部品と同様の構成の他に、インターポーザー基板の端部が切り欠かれ、この切り欠かれた部分に導通電極が配置されるという構成を有している。つまり、インターポーザー基板の切り欠かれた部分に導通電極を配置したことで、導通電極が外部電極を兼ねることが可能となり、これに伴ってスルーホール電極を用いる必要が無くなることにもなる。

#### 【0020】

請求項7に係る電子部品によれば、請求項1から請求項4の電子部品と同様の構成の他に、素子が複数とされ、これら複数の素子がインターポーザー基板上にそれぞれ配置されるという構成を有している。つまり、素子が複数配置されることで、より高い静電容量を有する電子部品が簡易に得られるようになり、アルミ電解コンデンサとの置き換えがより一層容易となる。

#### 【0021】

##### 【発明の実施の形態】

以下、本発明に係る電子部品の実施の形態を図面に基づき説明する。

本発明の第1の実施の形態に係る電子部品である積層コンデンサ1を図1から図7に示す。そして、セラミックグリーンシートを複数枚積層した積層体を焼成することで得られた直方体状の焼結体である誘電体素体3を主要部として、コンデンサ素子2が構成されており、このコンデンサ素子2が積層コンデンサ1の素

子とされている。

#### 【 0 0 2 2 】

つまり、誘電体素体 3 は、焼成されたセラミックグリーンシートである誘電体層が積層されて形成されている。さらに、図 2 及び図 3 に示す内部構造のように、この誘電体素体 3 内の所定の高さ位置には、面状の内部導体 4 が配置されており、誘電体素体 3 内において誘電体層とされるセラミック層 3 A を隔てた内部導体 4 の下方には、同じく面状の内部導体 5 が配置されている。以下同様にセラミック層 3 A をそれぞれ隔てて、同様にそれぞれ形成された内部導体 4 及び内部導体 5 が繰り返して順次複数層（例えば 1 0 0 層程度）配置されている。

#### 【 0 0 2 3 】

この為、図 3 に示すように、これら内部導体 4 及び内部導体 5 の 2 種類の内部導体が、誘電体素体 3 内においてセラミック層 3 A で隔てられつつ相互に対向して配置されることになる。そして、これら内部導体 4 及び内部導体 5 の中心は、各セラミック層 3 A の中心とほぼ同位置に配置されており、また、内部導体 4 及び内部導体 5 の縦横寸法は、対応するセラミック層 3 A の辺の長さよりそれぞれ小さくされている。

#### 【 0 0 2 4 】

但し、図 2 に示すように、内部導体 4 の左側部分からセラミック層 3 A の左側の端部に向かって導体が内部導体 4 の幅寸法と同じ幅寸法で突き出されている。また、内部導体 5 の右側部分からセラミック層 3 A の右側の端部に向かって、導体が内部導体 5 の幅寸法と同じ幅寸法で突き出されている。

#### 【 0 0 2 5 】

尚、これらそれぞれ略長方形に形成された内部導体 4、5 の材質としては、卑金属材料であるニッケル、ニッケル合金、銅或いは、銅合金が考えられるだけでなく、これらの金属を主成分とする材料が考えられる。

#### 【 0 0 2 6 】

他方、図 3 に示すように、内部導体 4 の左側の突出部分に接続される端子電極 1 1 が、誘電体素体 3 の外側となる左側の側面 3 B に配置されており、また、内部導体 5 の右側の突出部分に接続される端子電極 1 2 が、誘電体素体 3 の外側と

なる右側の側面 3 B に配置されている。

#### 【 0 0 2 7 】

以上より、本実施の形態では、コンデンサ素子 2 の直方体とされる誘電体素体 3 の 4 つの側面 3 B、3 C の内の 2 つの側面 3 B に一对の端子電極 1 1、1 2 がそれぞれ配置される形で、コンデンサ素子 2 が一对の端子電極 1 1、1 2 を備えている。

#### 【 0 0 2 8 】

一方、図 1、図 4 及び図 5 に示すように、本実施の形態に係る積層コンデンサ 1 の本体部分となるこのコンデンサ素子 2 の下部には、ガラスエポキシ系樹脂を主な材質とした一枚のインターポザー基板 2 0 が配置されている。このインターポザー基板 2 0 の表裏面には、図 7 に示すように、L 字形の銅箔による導体パターン 2 3 A、2 3 B、2 4 A、2 4 B がそれぞれ一对ずつ計 4 枚設けられると共に、この表裏面の必要な箇所にもソルダレジストが施されている。

#### 【 0 0 2 9 】

これに伴って、図 6 及び図 7 に示すように、このインターポザー基板 2 0 の表面側には、コンデンサ素子 2 の一对の端子電極 1 1、1 2 とそれぞれ接続される一对のランドパターン 2 1、2 2 が配置されており、また、このインターポザー基板 2 0 の裏面側には、基板 3 3 の配線パターン 3 4 とそれぞれはんだ 3 5 により接続され得る一对の外部電極 3 1、3 2 が配置されている。つまり、ソルダレジストが施されていない導体パターン 2 3 A、2 3 B、2 4 A、2 4 B の部分が、これら一对のランドパターン 2 1、2 2 及び一对の外部電極 3 1、3 2 となっている。

#### 【 0 0 3 0 】

そして、コンデンサ素子 2 の一对の端子電極 1 1、1 2 とインターポザー基板 2 0 の一对のランドパターン 2 1、2 2 との間は、高温はんだ 2 7 によってそれぞれ接続されている。尚、この高温はんだ 2 7 を用いる替わりに導電性接着剤を用いて、一对の端子電極 1 1、1 2 と一对のランドパターン 2 1、2 2 との間を接続するようにしても良い。

#### 【 0 0 3 1 】

つまり、図 1、図 4 (A) 及び図 5 における積層コンデンサ 1 の左側に位置する端子電極 1 1 が高温はんだ 2 7 によってランドパターン 2 1 に接続されており、同じく図 1、図 4 (A) 及び図 5 における積層コンデンサ 1 の右側に位置する端子電極 1 2 が高温はんだ 2 7 によってランドパターン 2 2 に接続されている。

#### 【0032】

さらに、図 6 及び図 7 に示すように、インターポーザー基板 2 0 の表裏面にそれぞれ存在する導体パターン 2 3 A、2 3 B 間を導通するように、それぞれ円柱状に形成された導通電極である複数のスルーホール電極 2 5 が、このインターポーザー基板 2 0 を貫通する形で設けられている。これによって、インターポーザー基板 2 0 の表面側のランドパターン 2 1 と裏面側の外部電極 3 1 とが、これらスルーホール電極 2 5 によって繋がり、これに伴いランドパターン 2 1 を介して端子電極 1 1 に外部電極 3 1 が接続されることになる。

#### 【0033】

同じく、インターポーザー基板 2 0 の表裏面にそれぞれ存在する導体パターン 2 4 A、2 4 B 間を導通するように、それぞれ円柱状に形成された導通電極である複数のスルーホール電極 2 6 が、このインターポーザー基板 2 0 を貫通する形で設けられている。これによって、インターポーザー基板 2 0 の表面側のランドパターン 2 2 と裏面側の外部電極 3 2 とが、これらスルーホール電極 2 6 によって繋がり、これに伴いランドパターン 2 2 を介して端子電極 1 2 に外部電極 3 2 が接続されることになる。

#### 【0034】

以上より、図 5 から図 7 に示すように例えば外部電極 3 1 がプラスになると共に外部電極 3 2 がマイナスになった場合、スルーホール電極 2 5 を介してランドパターン 2 1 及び端子電極 1 1 がプラスとなり、また、スルーホール電極 2 6 を介してランドパターン 2 2 及び端子電極 1 2 がマイナスとなる。さらに、例えば外部電極 3 1 がマイナスになると共に外部電極 3 2 がプラスになった場合には、それぞれ上記と逆の極性になる。

#### 【0035】

一方、本実施の形態では、図 6 に示すように、一対のランドパターン 2 1、2

2 間を繋ぐ直線 L 2 に沿った方向と一对の外部電極 3 1、3 2 間を繋ぐ直線 L 3 に沿った方向とが直交するように交差する形で、これら一对のランドパターン 2 1、2 2 及び一对の外部電極 3 1、3 2 がインターポザー基板 2 0 に配置されている。

#### 【0036】

さらに、図 5 に示すように、これら一对のランドパターン 2 1、2 2 にそれぞれ接続されてこれら一对のランドパターン 2 1、2 2 とほぼ同位置に一对の端子電極 1 1、1 2 が配置されるので、これら一对の端子電極 1 1、1 2 間を繋ぐ直線 L 1 に沿った方向と一对の外部電極 3 1、3 2 間を繋ぐ直線 L 3 に沿った方向とが直交して交差する形で、これら一对の端子電極 1 1、1 2 及び一对の外部電極 3 1、3 2 が配置されることにもなる。尚、これらの直線 L 1、L 2、L 3 はそれぞれパターンや電極の中心を通る線である。

#### 【0037】

次に、本実施の形態に係る積層コンデンサ 1 の作用を説明する。

本実施の形態に係る積層コンデンサ 1 は、一对の端子電極 1 1、1 2 を有したコンデンサ素子 2 及び、これら一对の端子電極 1 1、1 2 がそれぞれ接続される一对のランドパターン 2 1、2 2 を表面側に設けたインターポザー基板 2 0 を備えている。このインターポザー基板 2 0 の裏面側には一对の外部電極 3 1、3 2 が設けられており、これら一对の外部電極 3 1、3 2 が、導体パターン 2 3 A、2 3 B、2 4 A、2 4 B 及びスルーホール電極 2 5、2 6 を介して、上記の一对のランドパターン 2 1、2 2 に、繋がっている。

#### 【0038】

さらに、本実施の形態では、インターポザー基板 2 0 の表面側の一对のランドパターン 2 1、2 2 間を繋ぐ直線 L 2 の方向と、インターポザー基板 2 0 の裏面側の一对の外部電極 3 1、3 2 間を繋ぐ直線 L 3 の方向とが直交して交差する形で、これら一对のランドパターン 2 1、2 2 及び一对の外部電極 3 1、3 2 が配置されている。これに伴い、一对の端子電極 1 1、1 2 間を繋ぐ直線 L 1 の方向と一对の外部電極 3 1、3 2 間を繋ぐ直線 L 3 の方向とが直交して交差する形で、これらが配置されている。

そして、図 6 及び図 7 に示す一对の外部電極 31、32 が、外部の図 1 及び図 4 に示す基板 33 の配線パターン 34 にそれぞれはんだ 35 によって接続されることで、図 1 及び図 4 に示すようにこの積層コンデンサ 1 が外部の基板 33 に実装されている。

#### 【0039】

以上より、交流電圧が積層コンデンサ 1 に加わるのに伴い、コンデンサ素子 2 の圧電及び電歪によって図 1 及び図 4 に矢印で示す応力 P が生じ、これに合わせて振動が生じるようになる。但し本実施の形態では、コンデンサ素子 2 の一对の端子電極 11、12 間を繋ぐ直線 L1 の方向とインターポザー基板 20 の一对の外部電極 31、32 間を繋ぐ直線 L3 の方向とが直交して交差する形で、これら一对の端子電極 11、12 及び一对の外部電極 31、32 が配置されている。従って、この結果として、音響放射面となる基板 33 へのこの振動の伝播が抑えられ、基板 33 からの雑音の発生が減少するようになった。

#### 【0040】

つまり、本実施の形態は、コンデンサ素子 2 にインターポザー基板 20 を付加し、インターポザー基板 20 を介してコンデンサ素子 2 を基板 33 に接続するだけでなく、一对の端子電極 11、12 が並ぶ向きと一对の外部電極 31、32 が並ぶ向きとを直角に交差させた。この為、コンデンサ素子 2 の一对の端子電極 11、12 から応力 P に伴う振動がインターポザー基板 20 に伝わるものの、最も大きく振幅する方向の振動をこのインターポザー基板 20 で吸収して、このインターポザー基板 20 の一对の外部電極 31、32 から基板 33 に伝わる振動を減らすことで、この基板 33 からの雑音の発生が低減されるようになった。

#### 【0041】

他方、本実施の形態に係る積層コンデンサ 1 では、コンデンサ素子 2 の一对の端子電極 11、12 とインターポザー基板 20 との間が、高温はんだ 27 若しくは導電性接着剤によって接続されているので、これらの間が導電性を確保しつつ機械的に接続されるようになった。尚、本実施の形態において高温はんだ 27 としては、例えば 250℃の温度で溶融する共晶はんだ等が考えられ、また、導

電性接着剤としては例えば熱硬化性接着剤等が考えられる。

#### 【0042】

一方、本実施の形態では、インターポザー基板 20 の表裏面にそれぞれ導体パターン 23 A、23 B、24 A、24 B が設けられると共にソルダレジストがこれらの部分の内の必要な箇所に施されており、これによって一对のランドパターン 21、22 及び一对の外部電極 31、32 が、それぞれこのインターポザー基板 20 の表裏面に設けられた構造になっている。さらに、このインターポザー基板 20 には、この表裏面に存在するこれら導体パターン 23 A、23 B、24 A、24 B 間を導通するスルーホール電極 25、26 が貫通して設けられている。

#### 【0043】

つまり、ソルダレジストが必要な箇所に施されたこれら導体パターン 23 A、23 B、24 A、24 B が、インターポザー基板 20 の表裏面にそれぞれ設けられるだけでなく、スルーホール電極 25、26 がこれら表裏面の導体パターン 23 A、23 B、24 A、24 B 間を互いに導通させた結果として、一对のランドパターン 21、22 と一对の外部電極 31、32 との間がそれぞれ確実に電氣的に繋がるようになった。

#### 【0044】

さらに、それぞれインターポザー基板 20 を貫通する形で、スルーホール電極 25、26 をインターポザー基板 20 にそれぞれ複数設けたことで、インターポザー基板 20 の剛性がこれらスルーホール電極 25、26 の存在により低下して、より一層振動がこのインターポザー基板 20 で吸収できるようになった。

#### 【0045】

次に、本発明の第 2 の実施の形態に係る電子部品である積層コンデンサ 1 を接地するインターポザー基板 20 を図 8 に示す。尚、第 1 の実施の形態で説明した部材と同一の部材には同一の符号を付して、重複した説明を省略する。

本実施の形態も第 1 の実施の形態とはほぼ同様の構造となっている。但し、図 8 に示すように本実施の形態では、導体パターン 23 A、23 B、24 A、24 B



、ランドパターン 2 1、2 2、外部電極 3 1、3 2 及び、スルーホール電極 2 5、2 6 の配置や形状が第 1 の実施の形態と異なっているだけでなく、一对のランドパターン 2 1、2 2 がそれぞれ第 1 の実施の形態より上下方向に長く形成されると共に、一对の外部電極 3 1、3 2 がそれぞれ第 1 の実施の形態より短く形成されている。

#### 【0 0 4 6】

従って、本実施の形態も、第 1 の実施の形態と同様の作用効果を達成できるようになるだけでなく、一对のランドパターン 2 1、2 2 がそれぞれ長いので、コンデンサ素子 2 の端子電極 1 1、1 2 全体にわたって接続できるようになる。この為、これらの間がより一層確実に接続されるようになった。

#### 【0 0 4 7】

次に、本発明の第 3 の実施の形態に係る電子部品である積層コンデンサ 1 を図 9 及び図 1 0 に示す。尚、第 1 の実施の形態で説明した部材と同一の部材には同一の符号を付して、重複した説明を省略する。

本実施の形態も第 1 の実施の形態とほぼ同様の構造となっているが、図 9 及び図 1 0 に示すように本実施の形態では、低 E S L（等価直列インダクタンス）化されて一对の端子電極 1 1、1 2 間が短くなったコンデンサ素子 3 8 を採用している。

#### 【0 0 4 8】

この為、第 1 の実施の形態のインターポザー基板 2 0 とは異なり、インターポザー基板 4 0 は相対的に上下方向に細長い形状になっている。さらに、インターポザー基板 4 0 の表面側の導体パターン 4 3 A、4 4 A が L 字形でなく直線状に形成されており、一对のランドパターン 4 1、4 2 もそれぞれインターポザー基板 4 0 のほぼ全体にわたって設けられていて、一对の端子電極 1 1、1 2 と一对のランドパターン 4 1、4 2 とが、その長手方向の全体にわたって接続されている。

#### 【0 0 4 9】

従って、本実施の形態も、第 1 の実施の形態と同様の作用効果を達成できるようになるだけでなく、一对のランドパターン 4 1、4 2 がそれぞれ細長く形成さ

れているので、細長い端子電極 1 1、1 2 全体にわたって接続できるようになる。この為、第 2 の実施の形態と同様に、これらの間がより一層確実に接続されるようになった。

#### 【0 0 5 0】

次に、本発明の第 4 の実施の形態に係る電子部品である積層コンデンサ 1 を図 1 1 及び図 1 2 に示す。尚、第 1 の実施の形態で説明した部材と同一の部材には同一の符号を付して、重複した説明を省略する。

本実施の形態も第 1 の実施の形態とほぼ同様の構造となっているが、図 1 1 及び図 1 2 に示すように本実施の形態では、第 3 の実施の形態と同様に一对の端子電極 1 1、1 2 間が短い形状のコンデンサ素子 3 8 を採用している。この為、第 3 の実施の形態と同様にインターポザー基板 4 0 が相対的に上下方向に細長い形状になっていて、このインターポザー基板 4 0 の表面側の導体パターン 4 3 A、4 4 A も直線状に形成されている。

#### 【0 0 5 1】

但し、本実施の形態では、ランドパターンが上下に別れて一对ずつのランドパターン 4 1 A、4 1 B 及びランドパターン 4 2 A、4 2 B とされていて、端子電極 1 1 とこれらランドパターン 4 1 A、4 1 B とがその長手方向の両側寄りの部分でそれぞれ接続され、また、端子電極 1 2 とこれらランドパターン 4 2 A、4 2 B とがその長手方向の両側寄りの部分でそれぞれ接続されている。そして、これに対応してインターポザー基板 4 0 の裏面側の外部電極も一对ずつの外部電極 3 1 A、3 1 B 及び外部電極 3 2 A、3 2 B とされている。

#### 【0 0 5 2】

以上より、本実施の形態も、第 1 の実施の形態と同様の作用効果を達成できるようになるだけでなく、ランドパターン 4 1、4 2 がそれぞれ上下に別れて形成されているので、細長い端子電極 1 1、1 2 の両端側でそれぞれ確実に接続できるようになる。この為、第 2 及び第 3 の実施の形態と同様に、これらの間がより一層確実に接続されるようになった。

#### 【0 0 5 3】

次に、本発明の第 5 の実施の形態に係る電子部品である積層コンデンサ 1 を図

13に示す。尚、第1の実施の形態で説明した部材と同一の部材には同一の符号を付して、重複した説明を省略する。

本実施の形態も第1の実施の形態とほぼ同様の構造となっているが、図13に示すように本実施の形態では、インターポザー基板20の上下端の部分に、この部分をそれぞれ半円形に切り欠いた形状の切欠部45、46が設けられている。

#### 【0054】

そして、この切欠部45の周囲には、インターポザー基板20の表裏面に設けられた導体パターン23A、23B間を繋ぐ導通電極ともなる外部電極47が配置されており、また、切欠部46の周囲には、インターポザー基板20の表裏面に設けられた導体パターン24A、24B間を繋ぐ同じく導通電極ともなる外部電極48が配置されている。

#### 【0055】

従って、本実施の形態も、第1の実施の形態と同様の作用効果を達成できるようになるだけでなく、スルーホール電極25、26及び、外部電極47、48自体がインターポザー基板20の表裏面の導体パターン23A、23B、24A、24B間を繋いでいるので、一对のランドパターン21、22と一对の外部電極47、48との間がより一層確実に電氣的に繋がるようになる。さらに、本実施の形態の外部電極47、48を採用すれば、スルーホール電極25、26が無くとも、ランドパターン21、22に外部電極47、48が電氣的に繋がることにもなる。

#### 【0056】

次に、本発明の第6の実施の形態に係る電子部品である積層コンデンサ1を図14に示す。尚、第1の実施の形態で説明した部材と同一の部材には同一の符号を付して、重複した説明を省略する。

本実施の形態も第1の実施の形態とほぼ同様の構造となっているが、スルーホール電極25、26の替わりに、本実施の形態では、図14に示すスリット状の導通電極55、56を採用した。

#### 【0057】

従って、これら導通電極 55、56 をインターポザー基板 20 にそれぞれ複数設けたことで、インターポザー基板 20 の剛性がこれら導通電極 55、56 の存在によってより大きく低下して、より一層確実に振動がこのインターポザー基板 20 で吸収できるようになる。

#### 【0058】

次に、本発明の第 7 の実施の形態に係る電子部品である積層コンデンサ 1 を図 15 に示す。尚、第 1 の実施の形態で説明した部材と同一の部材には同一の符号を付して、重複した説明を省略する。

本実施の形態も第 1 の実施の形態とほぼ同様の構造となっているが、図 15 に示すように本実施の形態では、コンデンサ素子 2 が複数とされ、これら複数のコンデンサ素子 2 がインターポザー基板 20 上に積み重ねられる形で、それぞれ配置された構造になっている。

#### 【0059】

つまり、コンデンサ素子 2 が複数配置されることで、より高い静電容量を有する積層コンデンサ 1 が簡易に得られるようになり、アルミ電解コンデンサとの置き換えがより一層容易となる。尚、これら複数のコンデンサ素子 2 の端子電極 11、12 同士がはんだ付けされることで、これら複数のコンデンサ素子 2 がそれぞれ連結されつつ、相互に導通されている。

#### 【0060】

次に、以下の各試料を実装した試験基板の振動量をレーザドップラー振動計を用いて測定し、雑音の原因となる各試料の振動特性をそれぞれ得た。

具体的には、図 16 に示すように赤外線レーザ L を照射すると共に反射した赤外線レーザ L を検出し得るセンサ 61、赤外線レーザ L を電気的な信号に変換する O/E ユニット 62 及び、この O/E ユニット 62 で変換された電気的な信号を表示するオシロスコープ 63 等からこのレーザドップラー振動計 60 は、構成されている。そして、試料より約 1 mm 離れた試験基板 64 上に、レーザドップラー振動計 60 のセンサ 61 から赤外線レーザ L を照射し、各試料の積層体から試験基板 64 に伝わる振動をこのセンサ 61 で検出するようにした。

#### 【0061】

次に、各試料となるサンプルの内容を説明する。つまり、コンデンサとして一般的な図 18 に示す積層セラミックコンデンサ 110 を従来例とし、この積層セラミックコンデンサ 110 と同様の構造の図 1 に示すコンデンサ素子 2 をインターポザー基板 20 上に配置した第 1 の実施の形態に係る積層コンデンサ 1 を実施例とした。

#### 【0062】

ここで用いた各試料の寸法としては、図 18 及び図 1 に示すように、一对の端子電極を有する側面間の距離を寸法  $L$  とし、これら側面と直交する側面間の距離を寸法  $W$  とし、厚みを寸法  $T$  とした時に、従来例及び実施例が共に、 $L = 3.2$  mm、 $W = 2.5$  mm、 $T = 2.5$  mm であった。

#### 【0063】

また、実施例のインターポザー基板 20 の図 1 に示す外形寸法は、 $L1 = 4.5$  mm、 $W1 = 3.2$  mm、 $T1 = 1.0$  mm であり、このインターポザー基板 20 の主な材質はガラスエポキシ系樹脂とされている。さらに、インターポザー基板 20 に設けられた導体パターン 23A、23B、24A、24B を構成する銅箔の厚さは  $35\ \mu\text{m}$  であった。

#### 【0064】

一方、試験で用いられた試験基板 64 の図 16 に示す外形寸法は、 $L2 = 100$  mm、 $W2 = 40$  mm、 $T2 = 1.6$  mm であり、この試験基板 64 の主な材質はガラスエポキシ系樹脂であり、配線パターン 65 を構成する銅箔の厚さは  $35\ \mu\text{m}$  であった。また、図 16 に示す試験基板 64 上の試料 67 に繋がる電源 66 より、各試料にそれぞれ印加される電圧としては、 $20\text{ V}$  の直流電圧の他、 $5\text{ KHz}$  の正弦波とされる  $1.0\text{ V rms}$  の交流電圧であった。

#### 【0065】

上記の試験の結果として、オシロスコープの波形から積層コンデンサのみの従来例では、図 17 (A) に示す試験基板 64 の最大振れ幅である歪み量  $S1$  が約  $4.8\text{ nm}$  となったのに対して、インターポザー基板 20 を有した実施例では、図 17 (B) に示す試験基板 64 の最大振れ幅である歪み量  $S2$  が約  $0.8\text{ nm}$  と小さくなった。

## 【0 0 6 6】

つまり、実施例は従来例と比較し、基板の振動量が大幅に低減されて雑音が小さくなることが、この測定結果により確認された。ここで、それぞれコンデンサとされる従来例及び実施例の公称静電容量は  $10\ \mu\text{F}$  であるが、実際には、従来例の静電容量が  $10.24\ \mu\text{F}$  であり、実施例の静電容量が  $10.13\ \mu\text{F}$  であった。

## 【0 0 6 7】

尚、上記実施の形態に係る積層コンデンサ 1 を構成するインターポザー基板 20 は単層の基板であったが、多層基板でインターポザー基板を構成するようにしても良い。また、インターポザー基板 20 の材質をガラスエポキシ系樹脂としたが、テフロン（登録商標）樹脂、紙フェノール、ポリアミド系樹脂、アルミナ（セラミックス）等の他の材質を用いても良い。

## 【0 0 6 8】

さらに、上記実施の形態では、スルーホール電極或いは外部電極自体によってインターポザー基板 20 の表裏面間を電氣的に繋ぐようにしたが、インターポザー基板 20 の端面にも例えば銅箔の導体パターンを延ばして配置することによって、この端面を介してインターポザー基板 20 の表裏面間を電氣的に繋ぐようにしても良い。

## 【0 0 6 9】

一方、上記実施の形態では、直線 L 2 と直線 L 3 との間及び、直線 L 1 と直線 L 3 との間が、それぞれ直交して交差する形としたが、これらの直線の間角度は直角で無くとも良く、雑音の発生を低減するのに必要な角度範囲であれば良い。さらに、第 7 の実施の形態では、2 つのコンデンサ素子 2 がインターポザー基板 20 上に積み重ねられた構造になっているが、3 つ以上のコンデンサ素子 2 をインターポザー基板 20 上に積み重ねても良い。

## 【0 0 7 0】

## 【発明の効果】

本発明によれば、圧電及び電歪によって生じる振動の伝播を抑えて、雑音の発生を減らした電子部品を提供することが可能となる。

**【図面の簡単な説明】****【図 1】**

本発明の第 1 の実施の形態に係る積層コンデンサの基板に実装された状態を示す斜視図である。

**【図 2】**

本発明の第 1 の実施の形態に適用されるコンデンサ素子の分解斜視図である。

**【図 3】**

本発明の第 1 の実施の形態に適用されるコンデンサ素子の断面図である。

**【図 4】**

本発明の第 1 の実施の形態に係る積層コンデンサの基板に実装された状態を示す図であって、(A) は正面図であり、(B) は側面図である。

**【図 5】**

本発明の第 1 の実施の形態に係る積層コンデンサ（但し、高温はんだは省略する）を示す平面図である。

**【図 6】**

本発明の第 1 の実施の形態に係る積層コンデンサに適用されるインターポーザー基板を示す平面図である。

**【図 7】**

本発明の第 1 の実施の形態に係る積層コンデンサに適用されるインターポーザー基板を示す図であって、(A) は表面側を示す平面図であり、(B) は裏面側を示す底面図である。


**【図 8】**

本発明の第 2 の実施の形態に係る積層コンデンサに適用されるインターポーザー基板を示す図であって、(A) は表面側を示す平面図であり、(B) は裏面側を示す底面図である。

**【図 9】**

本発明の第 3 の実施の形態に係る積層コンデンサ（但し、高温はんだは省略する）を示す平面図である。

**【図 1 0】**



本発明の第3の実施の形態に係る積層コンデンサに適用されるインターポーザー基板を示す図であって、(A)は表面側を示す平面図であり、(B)は裏面側を示す底面図である。

【図11】

本発明の第4の実施の形態に係る積層コンデンサ（但し、高温はんだは省略する）を示す平面図である。

【図12】

本発明の第4の実施の形態に係る積層コンデンサに適用されるインターポーザー基板を示す図であって、(A)は表面側を示す平面図であり、(B)は裏面側を示す底面図である。

【図13】

本発明の第5の実施の形態に係る積層コンデンサに適用されるインターポーザー基板を示す図であって、(A)は表面側を示す平面図であり、(B)は裏面側を示す底面図である。

【図14】

本発明の第6の実施の形態に係る積層コンデンサに適用されるインターポーザー基板を示す図であって、(A)は表面側を示す平面図であり、(B)は裏面側を示す底面図である。

【図15】

本発明の第7の実施の形態に係る積層コンデンサの基板に実装された状態を示す斜視図である。

【図16】

各試料を測定する状態を説明する説明図である。

【図17】

オシロスコープの波形を示す図であって、(A)は従来例の試験基板の振動波形を示す図であり、(B)は実施例の試験基板の振動波形を示す図である。

【図18】

従来例に係る積層セラミックコンデンサを示す斜視図である。

【図19】



従来例に係る積層セラミックコンデンサの基板に実装された状態を示す斜視図である。

【図 2 0】

従来例に係る積層セラミックコンデンサの基板に実装された状態を示す正面図であって、雑音の発生を説明する図である。

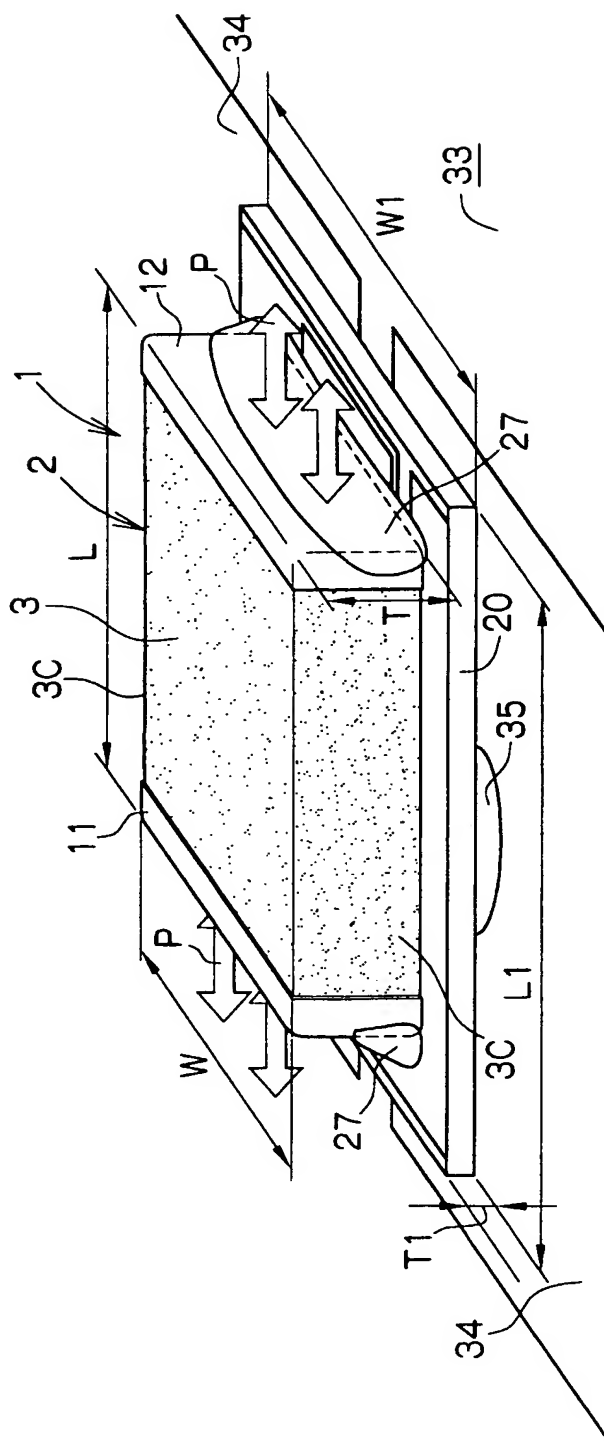
【符号の説明】

- |             |                |
|-------------|----------------|
| 1           | 積層コンデンサ（電子部品）  |
| 2           | コンデンサ素子（素子）    |
| 1 1、1 2     | 端子電極           |
| 2 0         | インターポージャー基板    |
| 2 1、2 2     | ランドパターン        |
| 2 3 A、2 4 A | 導体パターン         |
| 2 3 B、2 4 B | 導体パターン         |
| 2 5、2 6     | スルーホール電極（導通電極） |
| 2 7         | 高温はんだ          |
| 3 1、3 2     | 外部電極           |
| 3 8         | コンデンサ素子（素子）    |
| 4 0         | インターポージャー基板    |
| 4 3 A、4 4 A | 導体パターン         |
| 4 7、4 8     | 外部電極（導通電極）     |
| 5 5、5 6     | 導通電極           |

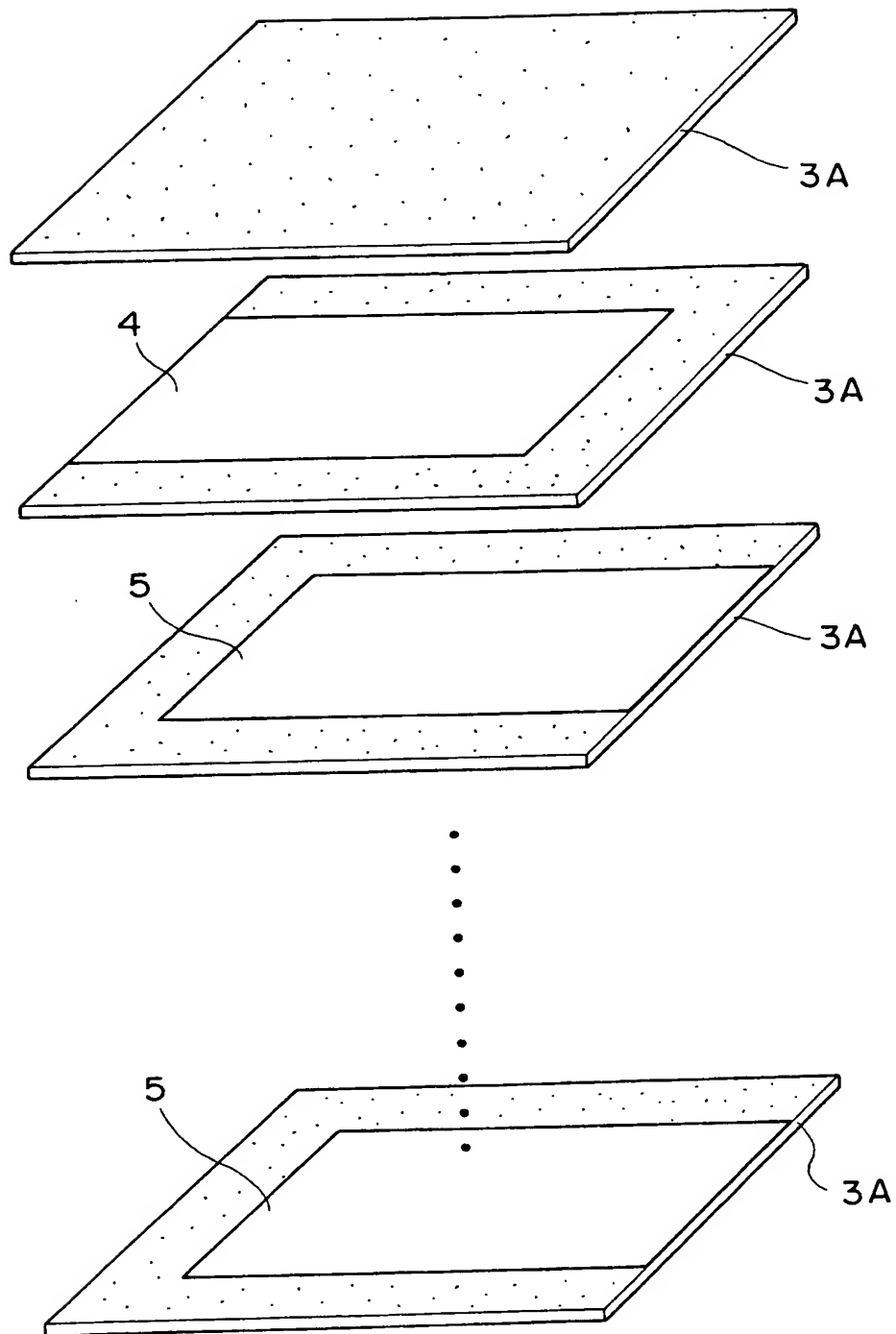
【書類名】

図面

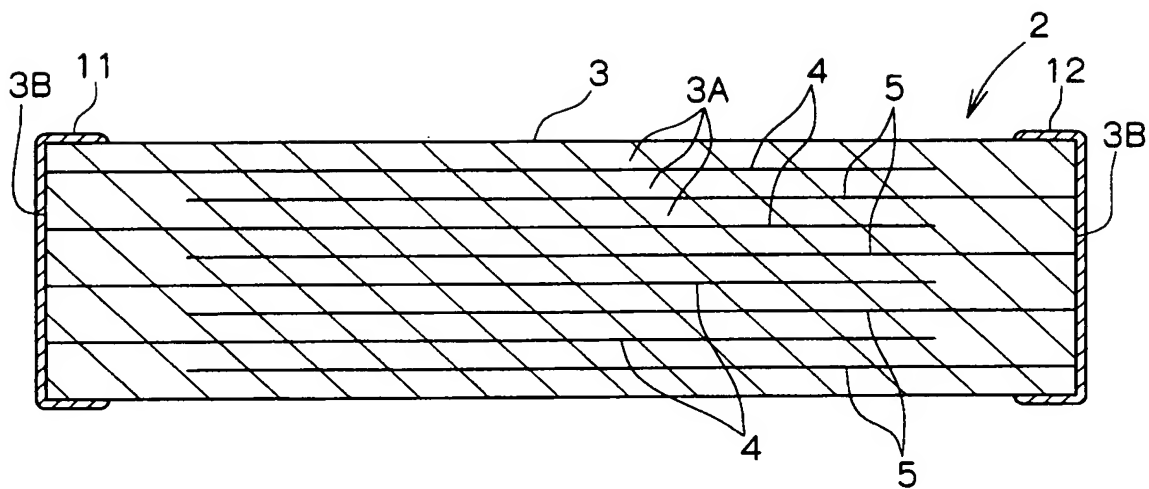
【図 1】



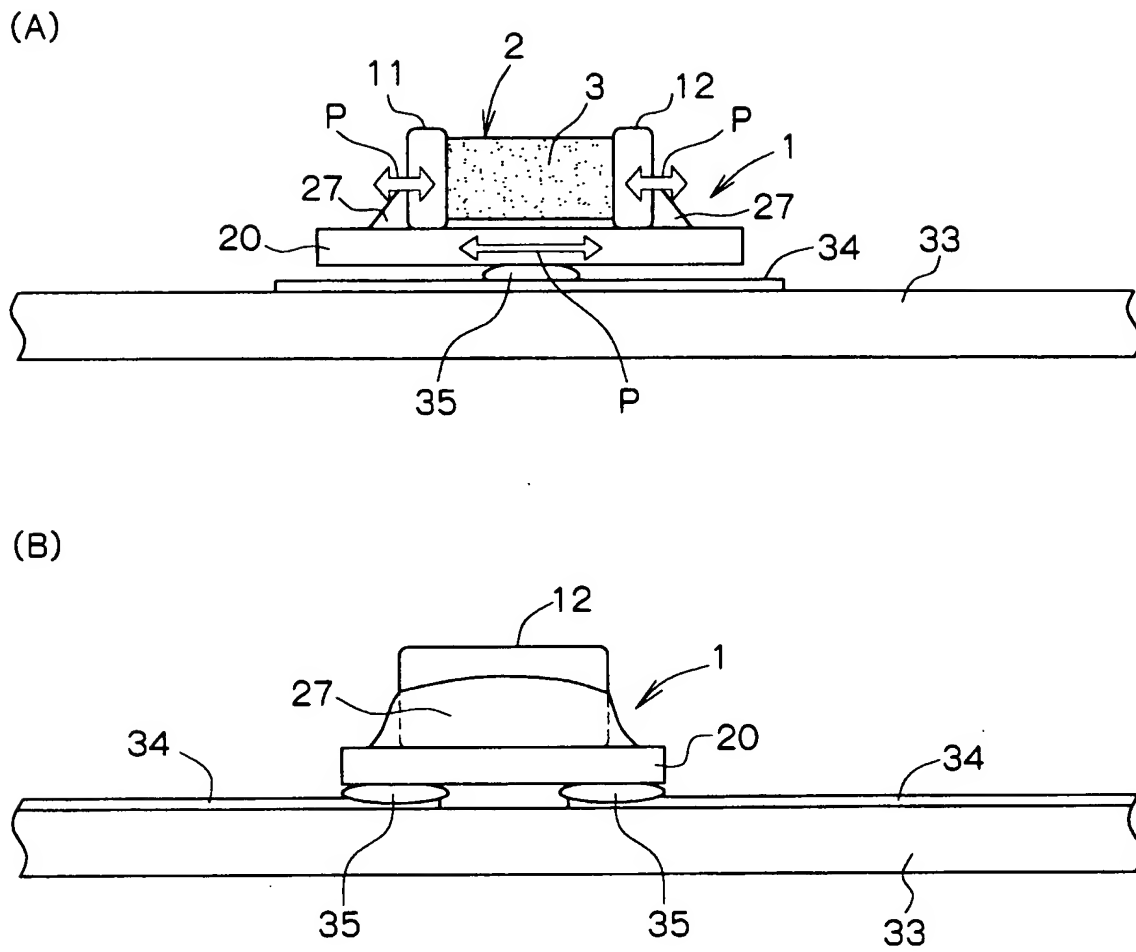
【図 2】



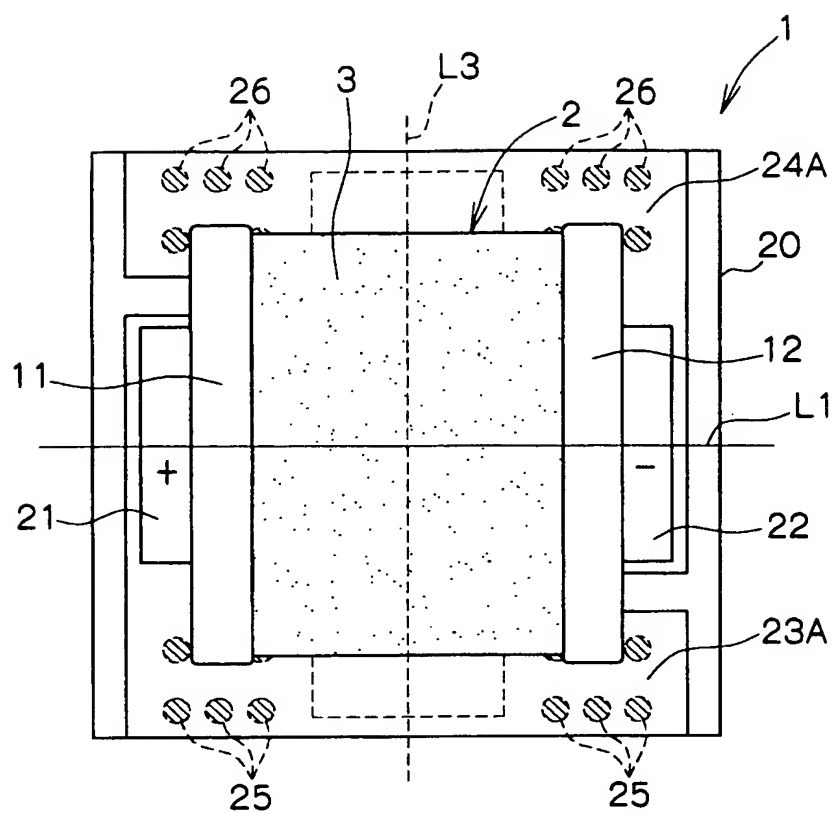
【図 3】



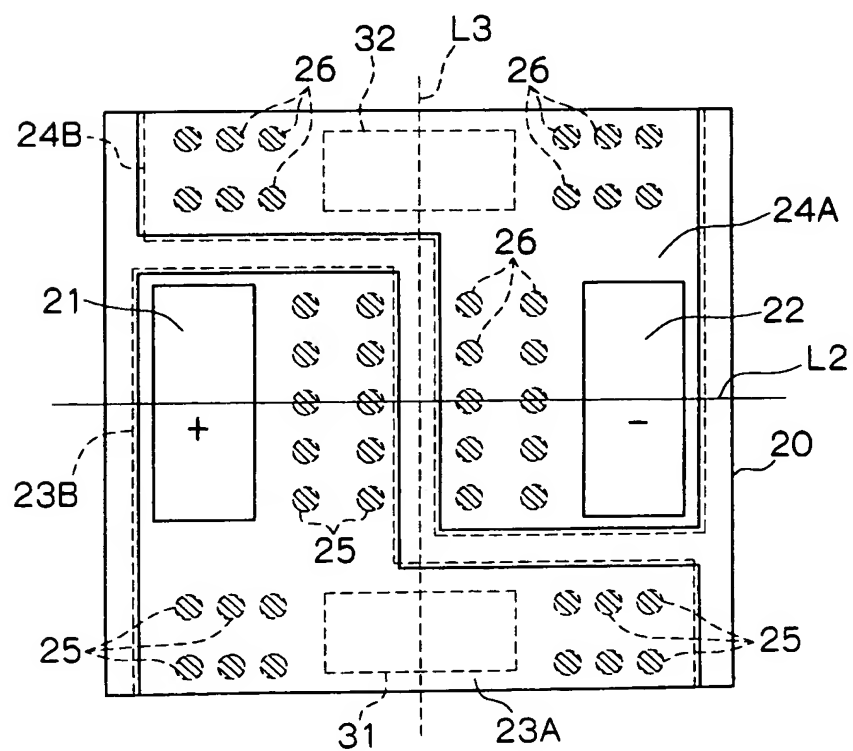
【図 4】



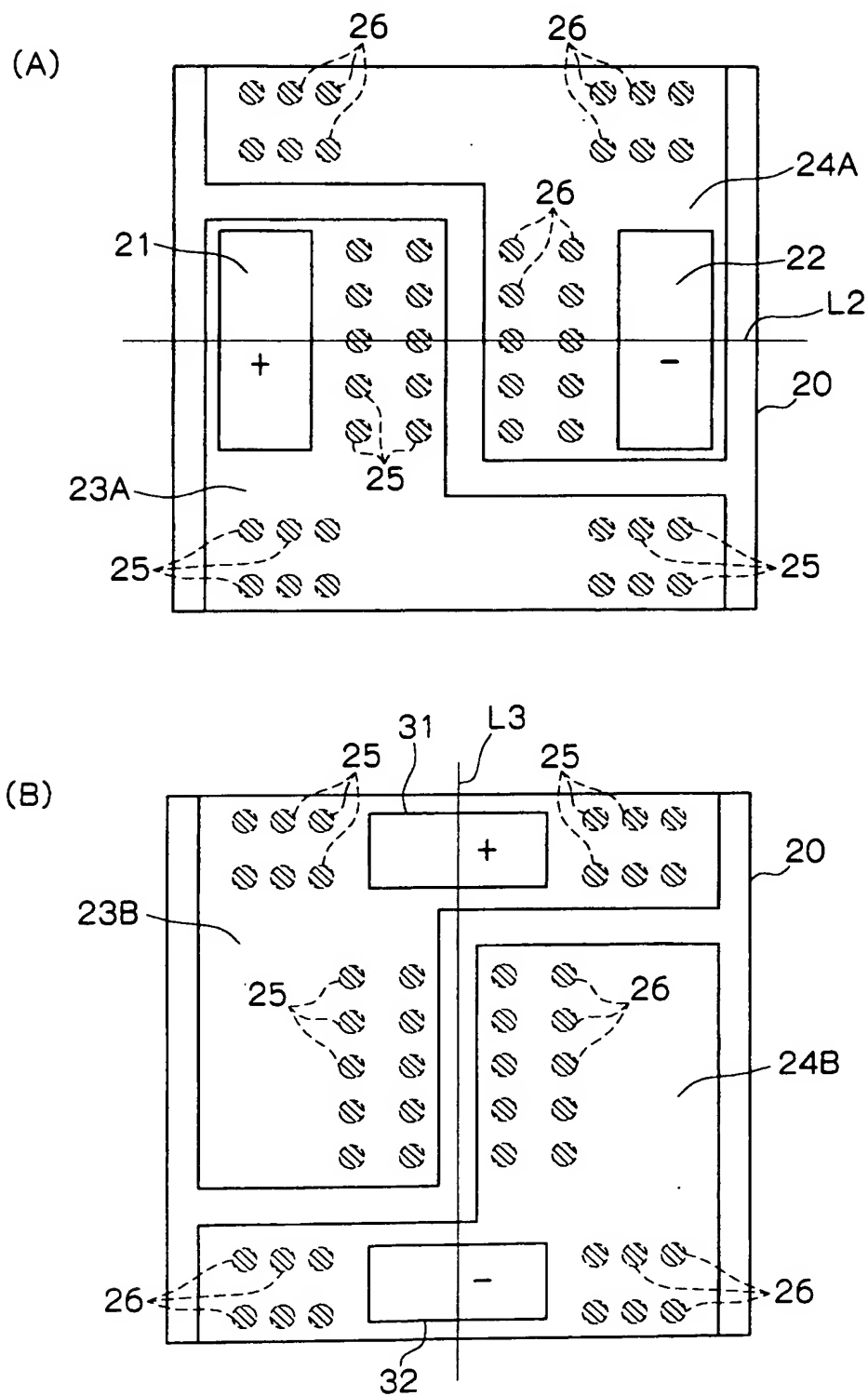
【図 5】



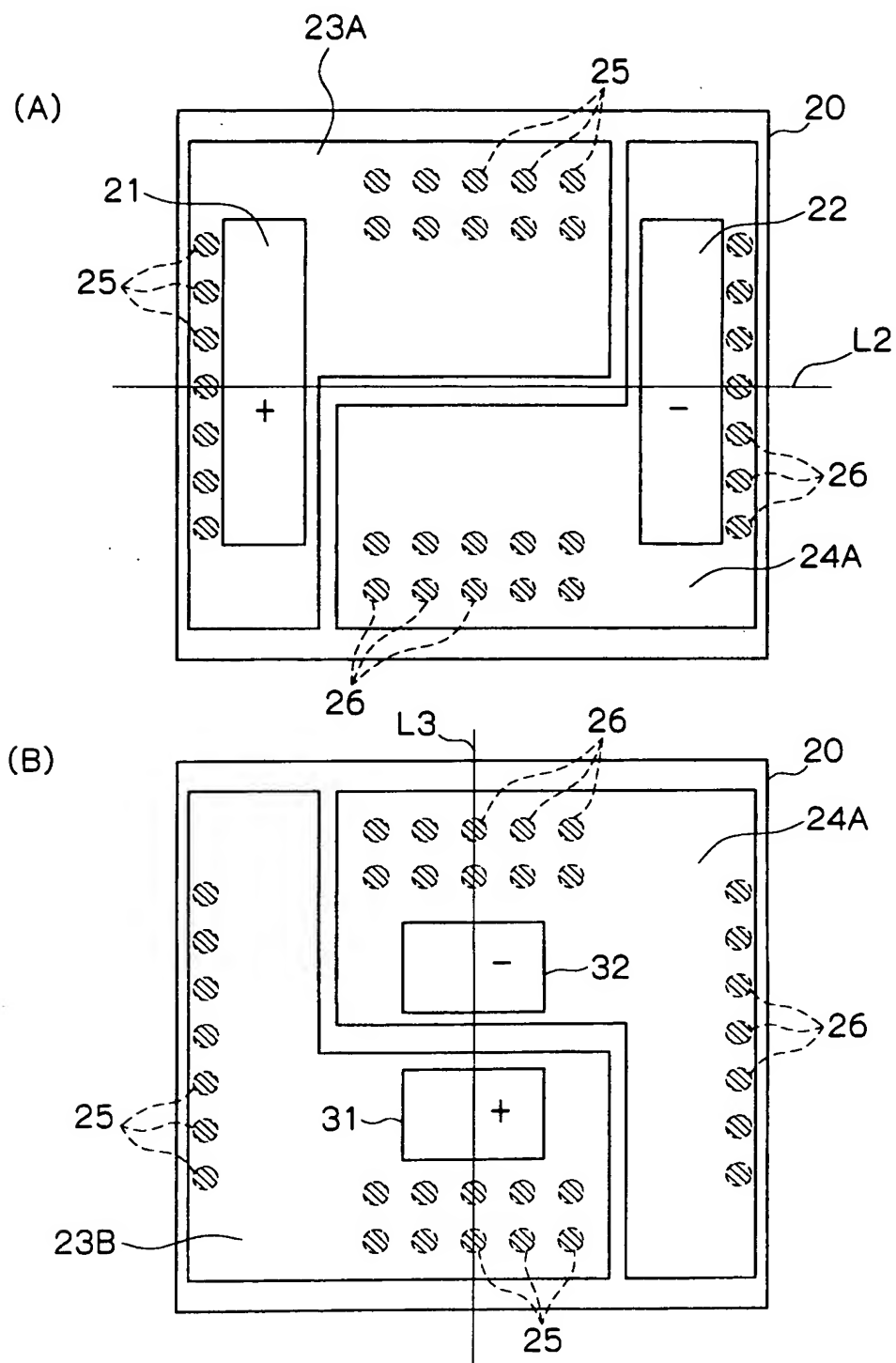
【図 6】



【図 7】

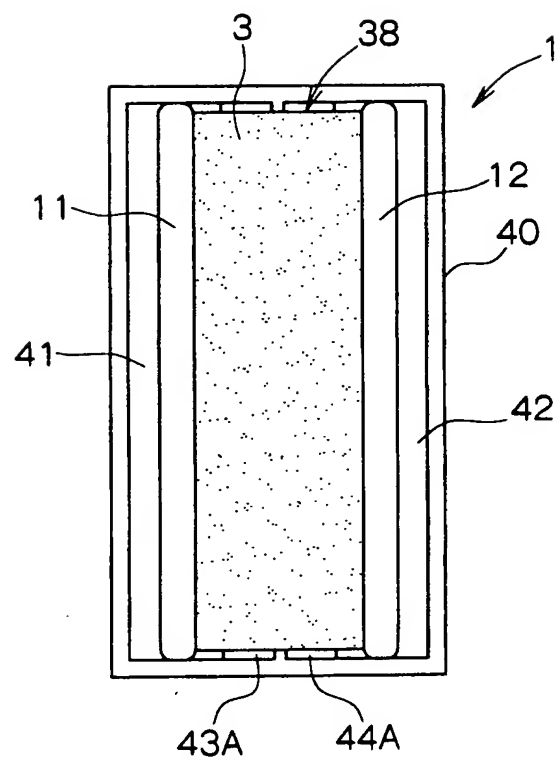


【図 8】

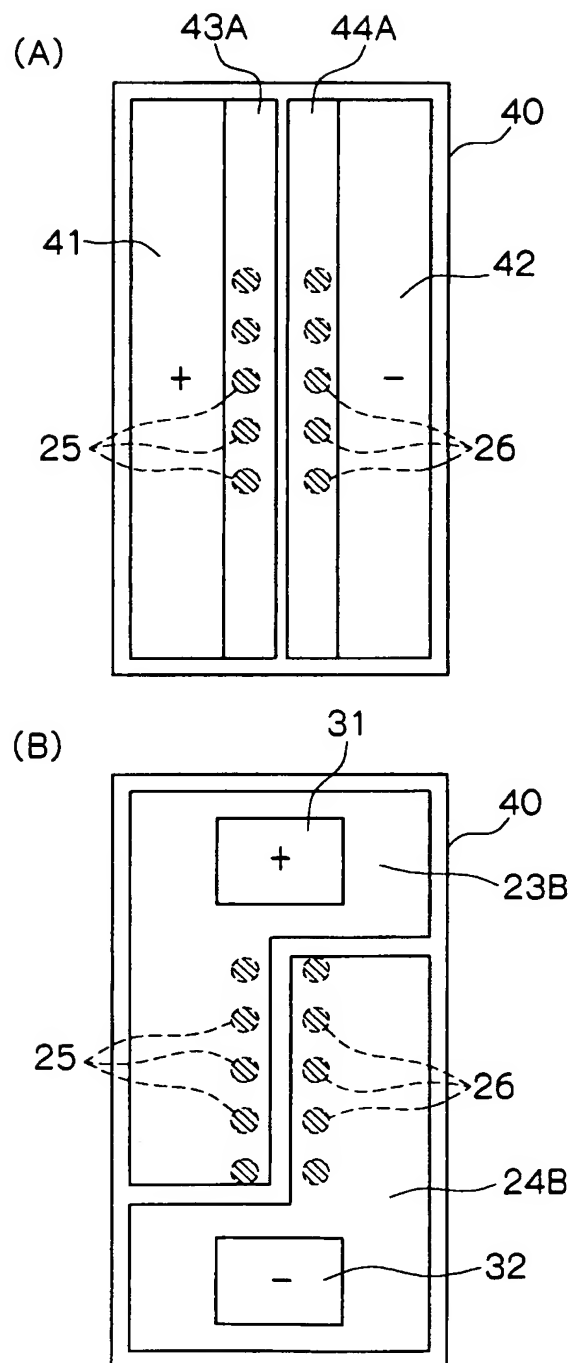




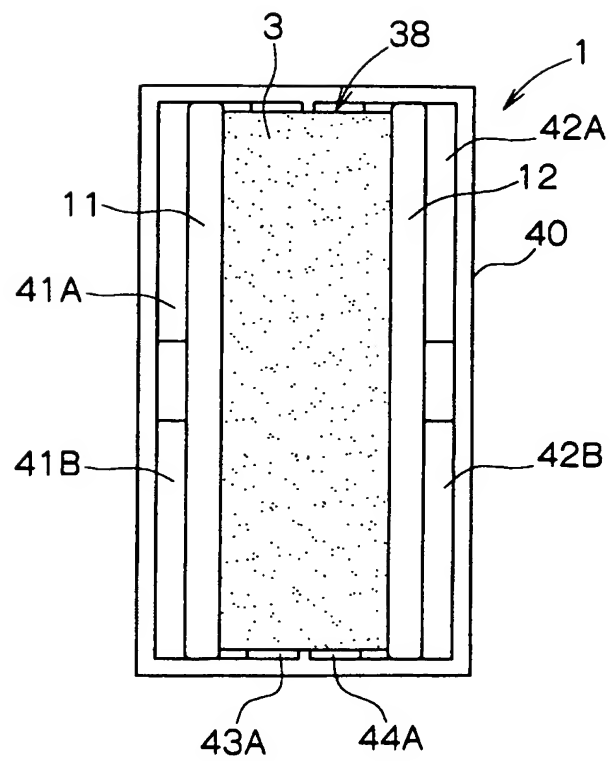
【図 9】



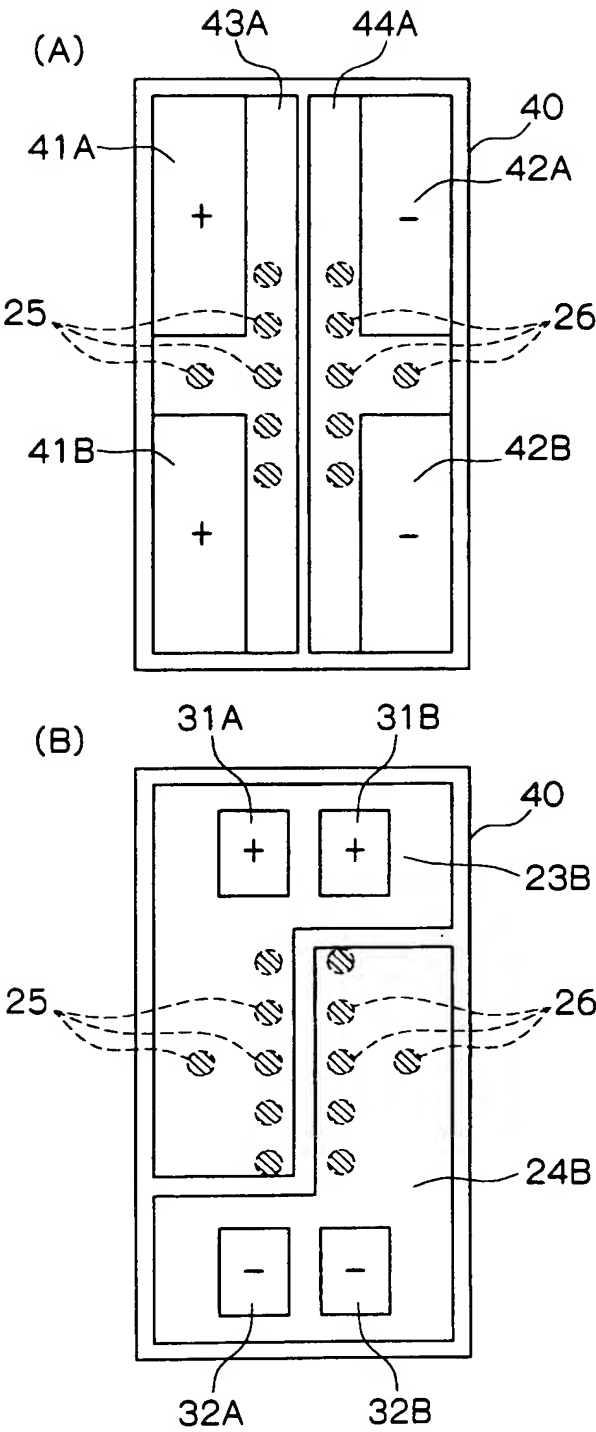
【図10】



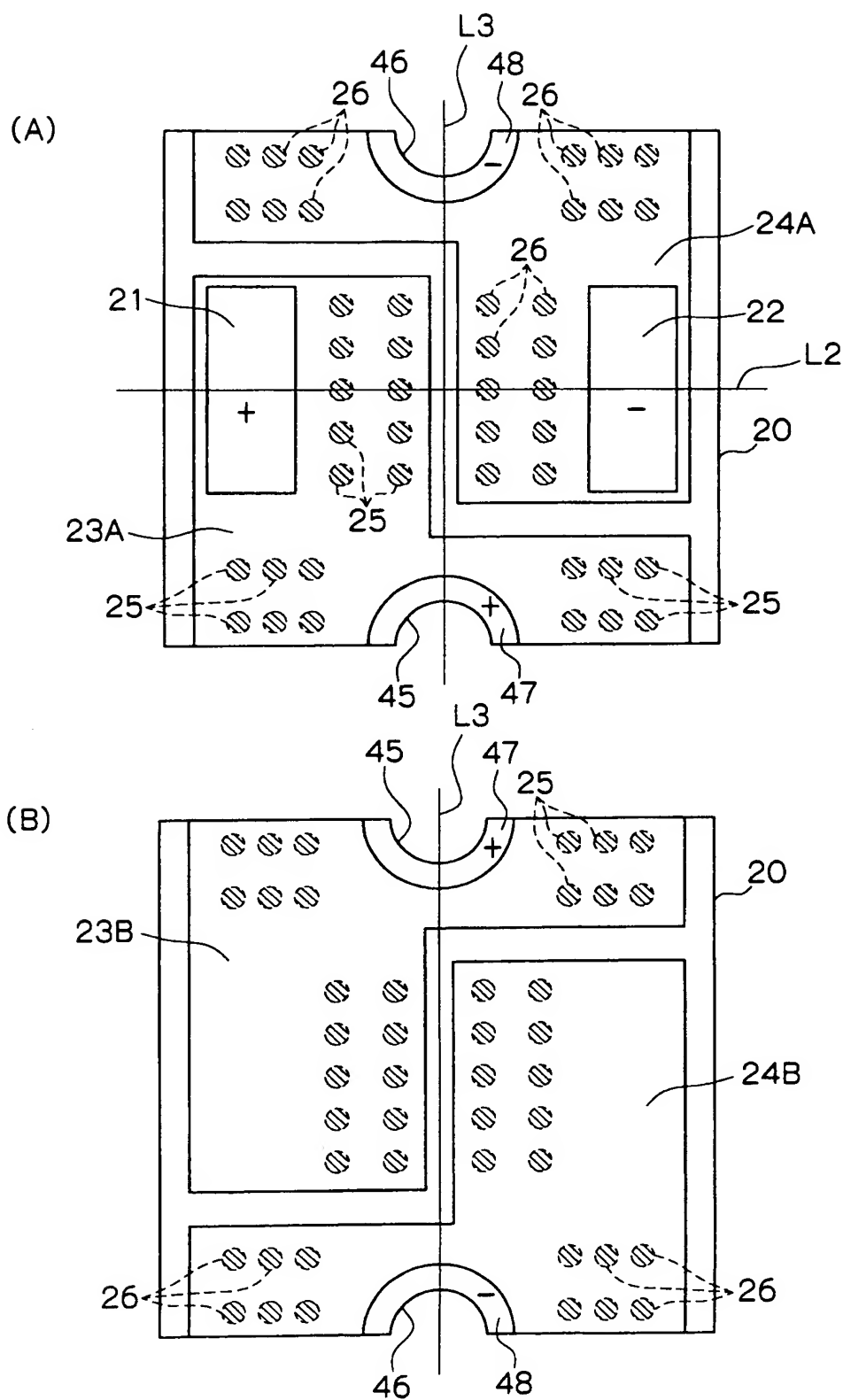
【図 11】



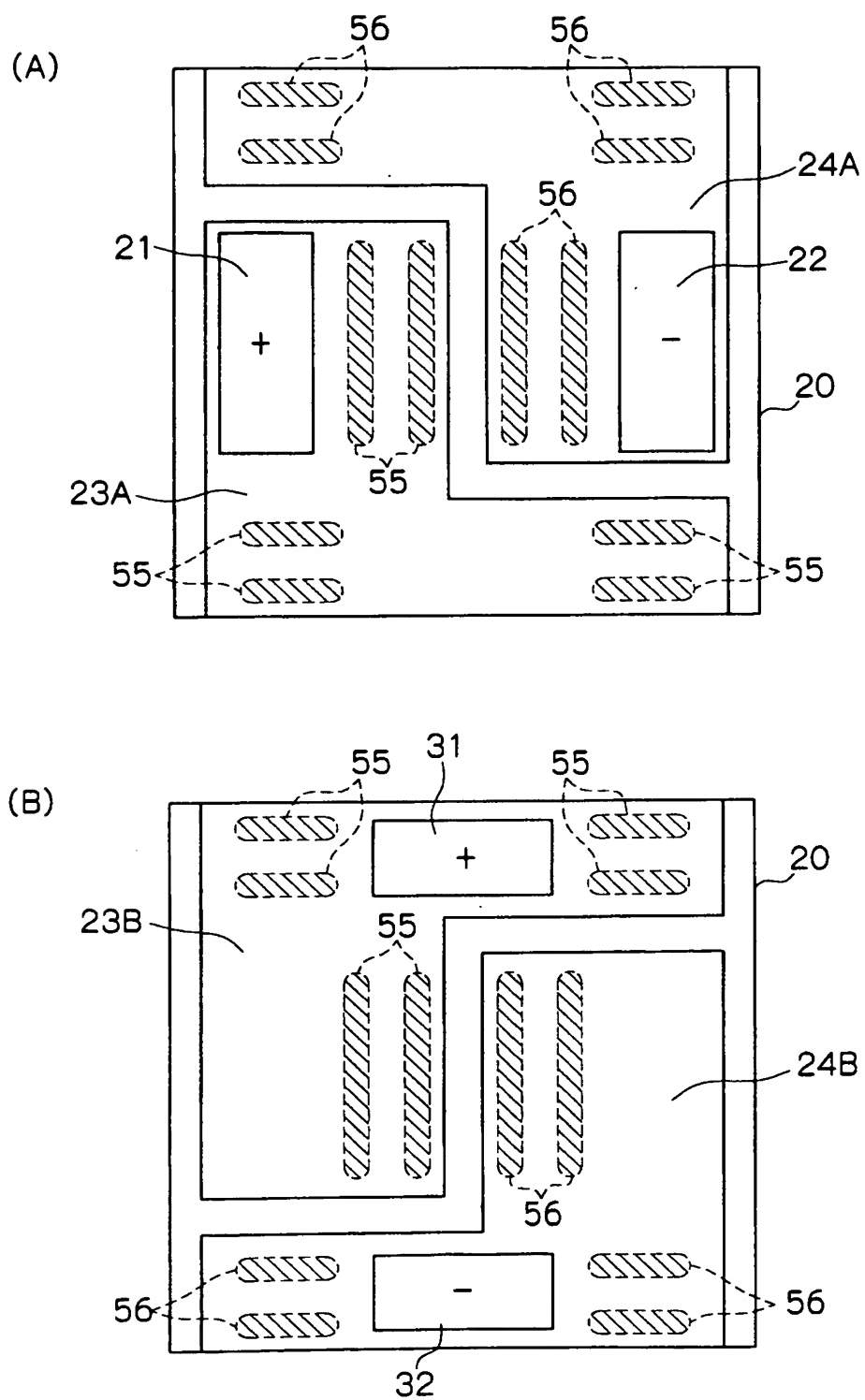
【図 12】



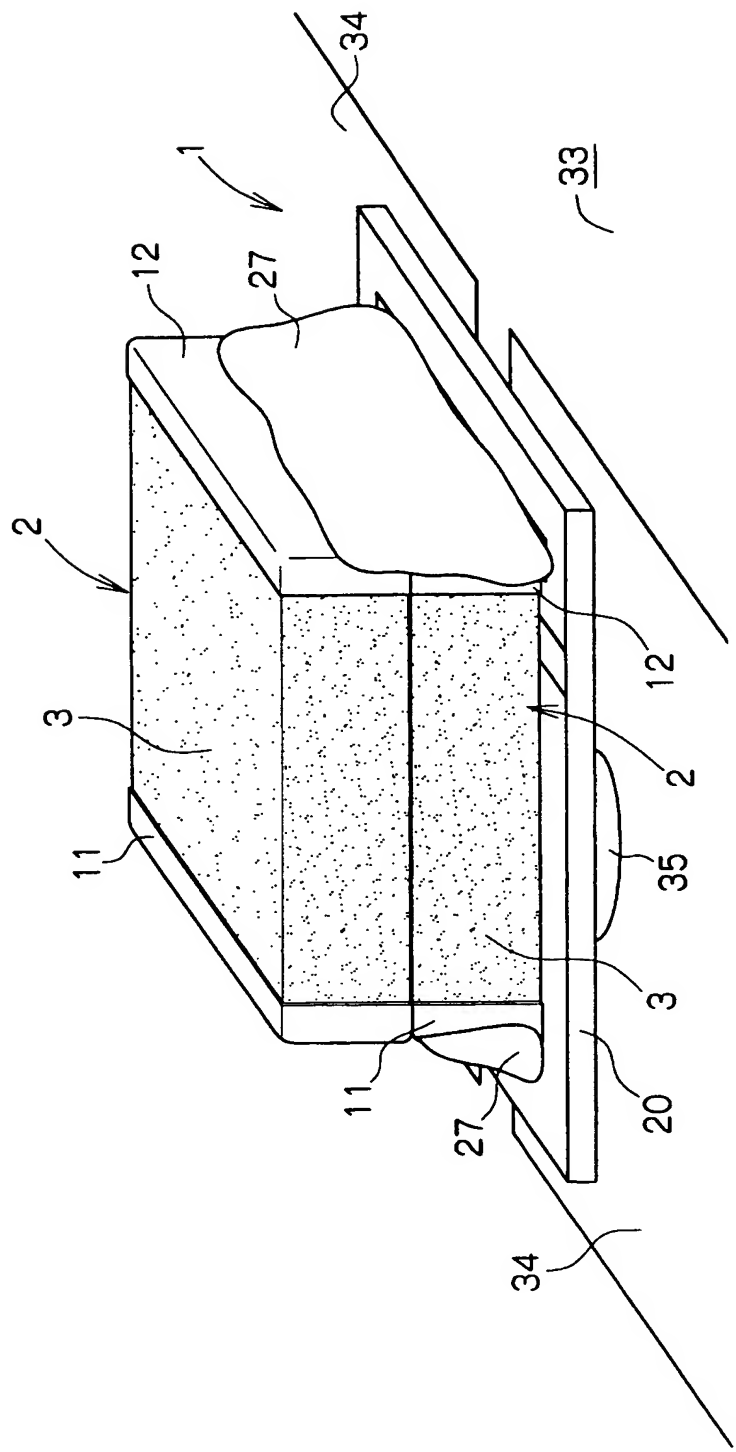
【図 13】



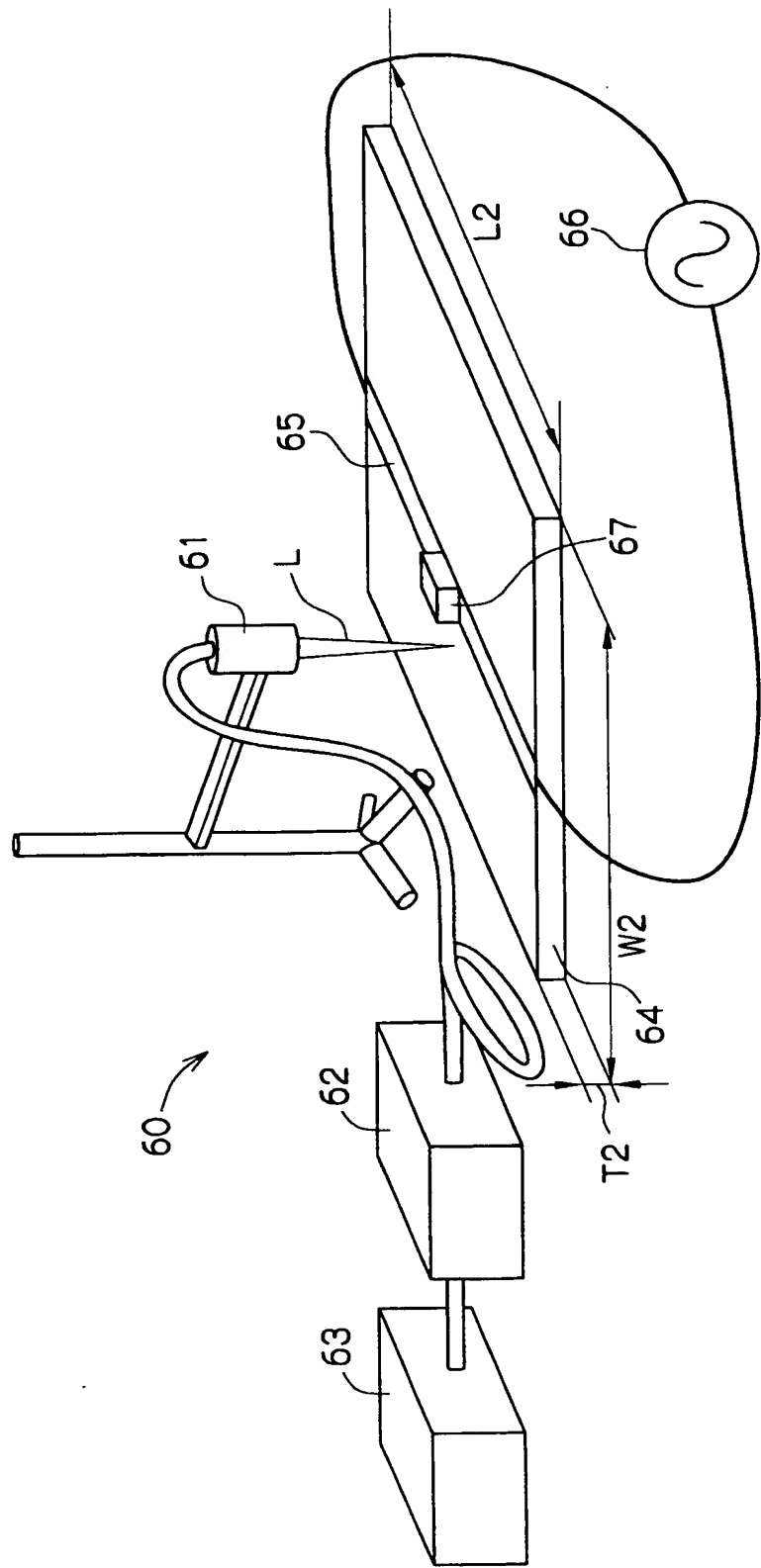
【図 14】



【図 15】

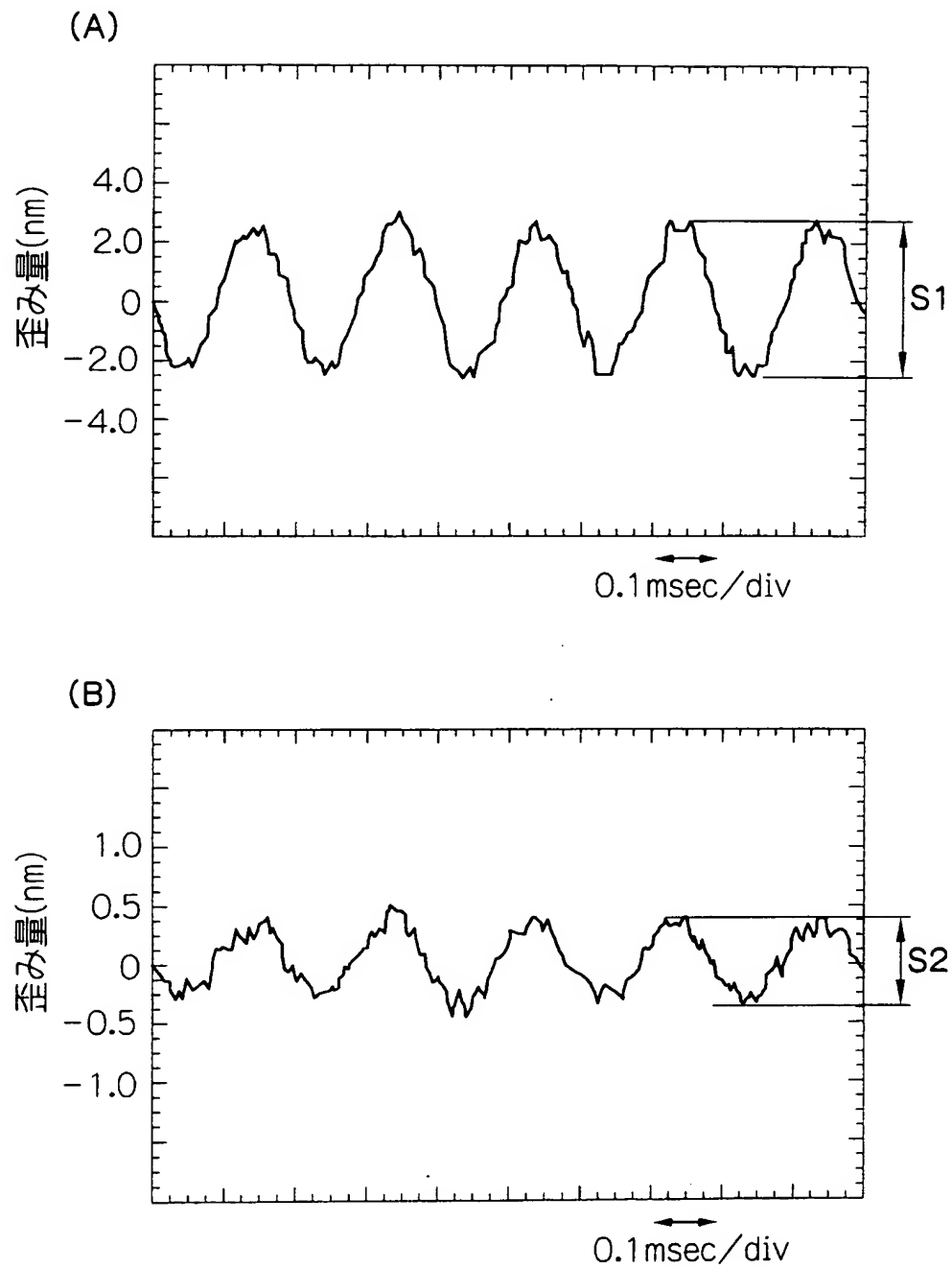


【図 16】

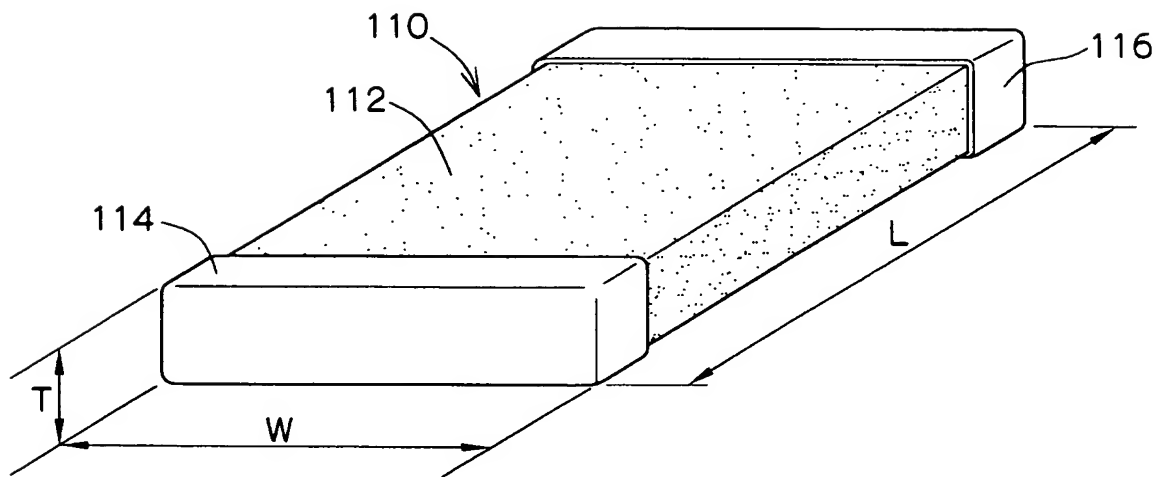




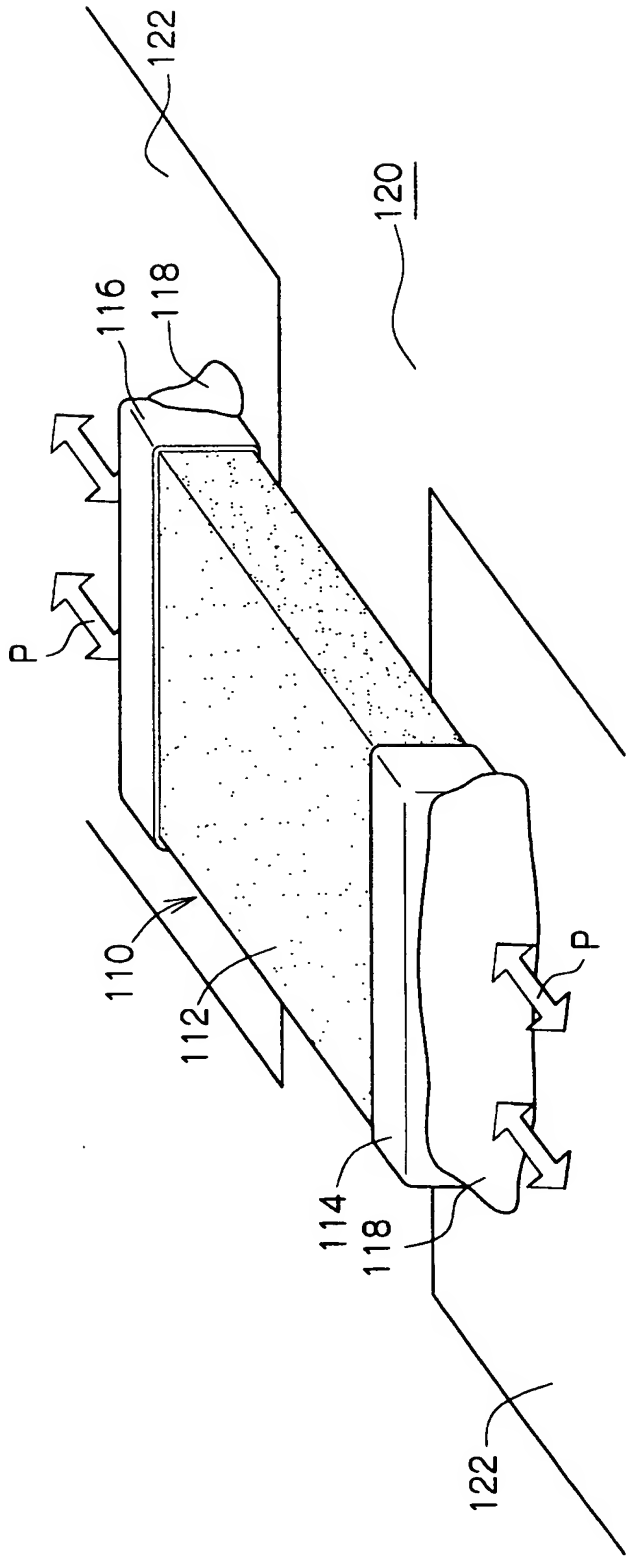
【図 17】



【図 18】

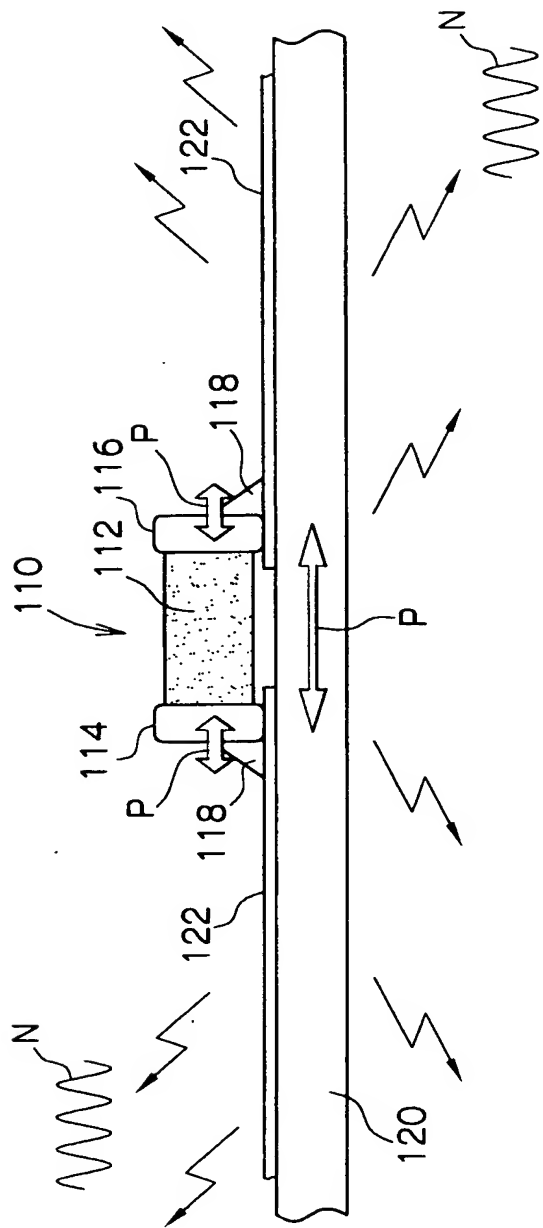


【図 19】





【図 20】





【書類名】 要約書

【要約】

【課題】 振動の伝播を抑えて雑音の発生を減らす。

【解決手段】 積層コンデンサ 1 の本体部分となるコンデンサ素子 2 の下部に、一枚のインターポザー基板 2 0 が配置される。インターポザー基板 2 0 の表面側に、コンデンサ素子 2 の一対の端子電極 1 1、1 2 とそれぞれ接続される一対のランドパターンが配置され、インターポザー基板 2 0 の裏面側に、基板 3 3 の配線パターン 3 4 とそれぞれはんだ 3 5 により接続される一対の外部電極が配置される。一対のランドパターン間を繋ぐ直線に沿った方向と一対の外部電極間を繋ぐ直線に沿った方向とが直交するように交差する形で、これら一対のランドパターン及び一対の外部電極がインターポザー基板 2 0 に配置される。

【選択図】 図 1

特願 2 0 0 2 - 2 9 4 5 4 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 6 7 ]

1 . 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

ティーディーケイ株式会社

2 . 変更年月日

2 0 0 3 年 6 月 2 7 日

[変更理由]

名称変更

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

T D K 株式会社